

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-181208

(43)Date of publication of application : 12.07.1996

(51)Int. Cl.

H01L 21/768

H01L 21/285

H01L 23/12

(21)Application number : 06-322236

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.12.1994

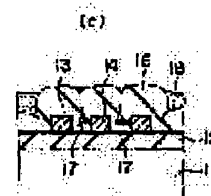
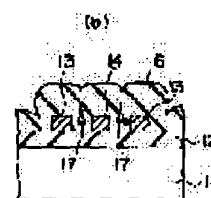
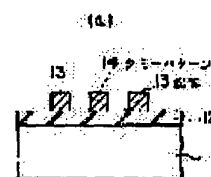
(72)Inventor : HOSODA YUKIO
ICHIKAWA MASAOKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To reduce wiring capacitance regarding a semiconductor device with a plurality of wiring patterns formed with intervals.

CONSTITUTION: A semiconductor device contains wirings 13 arranged and formed on a foundation insulating film 12 with intervals, dummy patterns 14 formed between the wiring 13 on the base insulating film 12 with intervals and formed in the same layers as the wirings 13 and an insulating film covering the dummy patterns 14 and the wirings 13 and having cavities 17 inside between the dummy patterns 14 and the wirings 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-181208

(43) 公開日 平成8年(1996)7月12日

(51) IntCl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768				
21/285	3 0 1 Z			
23/12	3 0 1 L			

H 0 1 L 21/ 90 V

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21) 出願番号 特願平6-322236

(22) 出願日 平成6年(1994)12月26日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 細田 幸男

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 市川 雅章

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

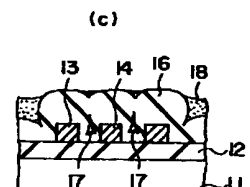
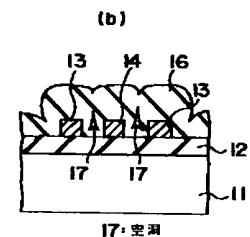
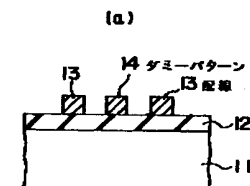
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 間隔をおいて形成される複数の配線パターンを有する半導体装置に関して、配線容量を低減すること。

【構成】 下地絶縁膜12の上に間隔をおいて並べて形成される配線13と、前記下地絶縁膜12の上で前記配線13の間に間隔をおいて形成され、且つ前記配線13と同層に形成されたダミーパターン14と、前記ダミーパターン14と前記配線13を覆い、かつ前記ダミーパターン14と前記配線13の間に内部に空洞17を有する絶縁膜とを含む。



【特許請求の範囲】

【請求項1】下地絶縁膜の上に間隔をおいて並べて形成される配線と、

前記下地絶縁膜の上で前記配線の間に間隔をおいて形成され、且つ前記配線と同層に形成されたダミーパターンと、

前記ダミーパターンと前記配線を覆い、かつ前記ダミーパターンと前記配線の間で内部に空洞を有する絶縁膜とを有することを特徴とする半導体装置。

【請求項2】前記配線と前記ダミーパターンが形成されている領域は前記配線と同層のガードパターンによって囲まれ、かつ、前記空洞の端部は、該ガードパターンと前記配線、前記ダミーパターンとの間に形成される前記絶縁膜によって覆われていることを特徴とする請求項1記載の半導体装置。

【請求項3】前記ガードパターンは、前記配線及び前記ダミーパターンが形成される領域の最外周に形成されていることを特徴とする請求項2記載の半導体装置。

【請求項4】前記空洞には不活性ガスが充填されていることを特徴とする請求項1、2又は3記載の半導体装置。

【請求項5】下地絶縁膜の上に導電膜を形成する工程と、

前記導電膜をパターニングすることによって、並べて配置される配線を形成するとともに、該配線に挟まれる領域にダミーパターンを形成する工程と、

前記ダミーパターンと前記配線を覆い、かつ、前記ダミーパターンと前記配線の間に空洞を有する絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】前記導電膜のパターニングの際に、前記配線及び前記ダミーパターンを形成する領域の少なくとも一部を囲むガードパターンを形成し、かつ、該ガードパターンを覆う前記絶縁膜のうち前記配線と前記ダミーパターンの間の内部には空隙が存在することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】前記絶縁膜を形成した後に、前記絶縁膜の上に平坦化用絶縁膜を形成する工程とを有することを特徴とする請求項5又は6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、間隔をおいて形成される複数の配線パターンを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体集積回路装置においては、高集積化に伴って配線の多層化と配線の高密度化が要求されている。多層配線構造を形成する際に、絶縁膜の凹凸によ

側の配線を覆う層間絶縁膜の平坦化を図っている。

【0003】その層間絶縁膜の平坦化は一般的に図4に示すような工程を経て行われる。まず、図4(a)に示すように、半導体基板1表面の下地絶縁膜2の上に下側の配線3を並列に複数本形成した後に、CVD法により全体に層間絶縁膜となるSiO₂膜4を形成する。この状態では、SiO₂膜4は下地絶縁膜2と配線3の表面で成長するので、その表面には配線3に応じた凹凸が生じる。

【0004】について、SiO₂膜4上にSOG(spin on glass)膜5を回転塗布し、その後に熱処理によってSOG膜5を硬化させる。続いてSOG膜5をエッチバックすることによりSiO₂膜4の凹部に局部的にSOG膜5を残してSiO₂膜4の形成領域の平坦化を図る。その後に、CVD法により再度SiO₂膜(不図示)を形成し、ついで2層目のSiO₂膜の上に上側の配線(不図示)を形成することになる。

【0005】ところで、配線3と配線3の間の絶縁膜4は、キャパシタの誘電体膜として機能するので、配線3、3間には配線容量が存在することになる。配線容量Cは、次の式①によって求まり、配線3、3間にある絶縁膜4の物性、即ち比誘電率に比例し、また配線間の距離dに反比例する。比誘電率は一般に4〜5程度である。なお、式①中ε₀は真空中の誘電率、ε_rは比誘電率、Sは配線(電極)の面積である。

$$【0006】 C = \epsilon_0 \epsilon_r S / d \quad \cdots \cdots \quad \textcircled{1}$$

【0007】

【発明が解決しようとする課題】ところで、半導体集積回路装置の高集積化が進むにつれて配線3、3間の距離dも小さくなり、さらに配線の多層化が進むために配線容量が増大して半導体素子の動作が遅延するといった問題がある。本発明はこのような問題に鑑みてなされたものであって、配線容量を低減することができる半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記した課題は、図1、図2に例示するように、下地絶縁膜12の上に間隔をおいて並べて形成される配線13と、前記下地絶縁膜12の上で前記配線13の間に間隔をおいて形成され、且つ前記配線13と同層に形成されたダミーパターン14と、前記ダミーパターン14と前記配線13を覆い、かつ前記ダミーパターン14と前記配線13の間に内部に空洞17を有する絶縁膜とを有することを特徴とする半導体装置によって解決する。

【0009】または、前記配線13と前記ダミーパターン14が形成されている領域は前記配線13と同層のガードパターン15によって囲まれ、かつ、前記空洞17の端部は、該ガードパターン15と前記配線13、前記ダミーパターン14との間に形成される前記絶縁膜16によって覆われていることを特徴とする半導体装置によ

【0010】または、前記ガードパターン15は、前記配線13及び前記ダミーパターン14が形成される領域の最外周に形成されていることを特徴とする半導体装置によって解決する。または、前記空洞17には不活性ガスが充填されていることを特徴とする半導体装置によって解決する。

【0011】または、下地絶縁膜12の上に導電膜を形成する工程と、前記導電膜をパターンニングすることによって、並べて配置される配線13を形成するとともに、該配線13に挟まれる領域にダミーパターン14を形成する工程と、前記ダミーパターン14と前記配線13を覆い、かつ、前記ダミーパターン14と前記配線13の間に空洞17を有する絶縁膜16を形成する工程とを有することを特徴とする半導体装置の製造方法によって解決する。

【0012】または、前記導電膜のパターンニングの際に、前記配線13及び前記ダミーパターン14を形成する領域の少なくとも一部を囲むガードパターン15を形成し、かつ、該ガードパターン15を覆う前記絶縁膜16のうち前記配線13と前記ダミーパターン14の間の内部には空隙17が存在することを特徴とする半導体装置の製造方法によって解決する。

【0013】または、前記絶縁膜16を形成した後に、前記絶縁膜16の上に平坦化用絶縁膜18を形成する工程とを有することを特徴とする半導体装置の製造方法によって解決する。

【0014】

【作 用】本発明によれば、配線に挟まれる領域にダミーパターンを形成し、配線とダミーパターンを絶縁膜で覆うとともに、その絶縁膜のうち配線とダミーパターンとの間に空洞を形成するようにしている。従って、配線間に存在する誘電体の誘電率は絶縁膜の空洞によって小さくなるので、配線間に形成される配線容量が低減され、これにより配線に接続される素子の動作速度の低下が抑制される。

【0015】また、配線とダミーパターンが形成される領域を同層のガードパターンによって囲むことにより、配線とダミーパターンの間の絶縁膜内に形成される空洞が、ガードパターンを覆う絶縁膜によって露出することがなくなる。この結果、配線を覆う絶縁膜の上にSOG等の平坦化絶縁膜を形成する際に、SOGがその空洞に入り込むことがなくなり、空洞の形成が確実になる。

【0016】また、その空洞内に不活性ガスを充填すると、空洞内のガスが絶縁膜を透過して配線に触れることがあったとしても、配線が劣化することはない。

【0017】

【実施例】そこで、以下に本発明の実施例を図面に基いて説明する。

(第1実施例) 図1(a)は、本発明の実施例に係る装置

絶縁膜形成後の図1(a)のZ-Z線断面図、図2(a)～(c)は、図1のY-Y線からみた工程を示す断面図である。

【0018】図1、図2(a)において、半導体基板11の上にはフィールド酸化膜、層間絶縁膜等の絶縁膜12が形成され、その絶縁膜12上には金属膜、不純物含有半導体膜等の導電膜(不図示)が $0.8\mu\text{m}$ 程度の厚さに形成され、この導電膜はパターンニングされて後述する配線13、ダミーパターン14、ガードパターン15を構成する。

【0019】その導電膜からなる配線13は、素子間を接続するものであってもよいし、一部がMOSトランジスタのゲート電極となるものであってもよく、例えば $1.5\mu\text{m}$ の間隔をおいて複数形成されている。そのような隣合う配線13の間には、配線13から $0.5\sim 0.6\mu\text{m}$ の間隔をおいてダミーパターン14が形成され、このダミーパターン14は、図1(a)に示すように配線13が延びる方向で複数に分割されている。

【0020】また、配線13を形成する領域の周囲には、上記した導電膜よりなるガードパターン15が環状に形成されている。そのガードパターン15は、配線13やダミーパターン14に接しないようにそれらから間隔をおいて配置される。このように配線13等を形成した後に、図2(b)に示すように、 SiO_2 のような絶縁膜を配線13、ダミーパターン14及びガードパターン15の上面及び側面にプラズマCVDにより成長し、配線13上の絶縁膜16とダミーパターン14上の絶縁膜16が上部で一体化した状態でその成長を停止する。絶縁膜16の成長は、配線13とダミーパターン14の間の絶縁膜16内に空洞17が形成されるような条件とする。空洞17は、ダミーパターン14同士の間、配線16内にも形成される。その成長条件は、例えば SiH_4 と N_2O を反応ガスに使用し、成長雰囲気圧力は 10Torr 以下、成長温度は $350\sim 450^\circ\text{C}$ で、成長膜厚は $1\mu\text{m}$ である。

【0021】ガードパターン15が無い場合には、配線13とダミーパターン14の端部の近傍において絶縁膜16内の空洞17の一部が露出することになる。これに対して、ガードパターン15が有る場合には、図1(b)に示すように配線13、ダミーパターン14とガードパターン15との間を埋める絶縁膜16によってその空洞17の端部が露出することがなくなる。配線13、ダミーパターン14に対するガードパターン15の距離が $0.5\sim 0.6\mu\text{m}$ 間隔で離れている場合には、それらの間にある絶縁膜16にも空洞17が形成されるが、ガードパターン15は平面が環状に形成されているので、絶縁膜16内の空洞17はガードパターン15に沿って閉じられた状態になり、空洞17が絶縁膜16から露出することはない。

5

上の全体にSOG層(平坦化用絶縁膜)18をスピニング法により0.4 μ m程度の厚さに塗布する。続いて、SOG層18を400℃程度の温度で加熱して硬化させる。これにより凸状の配線13によって絶縁膜16の一部に生じた凹部がSOG層18に埋め込まれた状態になり、絶縁膜16とSOG層18によって層間絶縁膜が構成され、その層間絶縁膜の上面は平坦化する。また、SOG層を塗布、硬化した後に、塩素系のエッチャントを用いてSOG層18をエッチバックして絶縁膜16の上面が露出するまで薄層化してもよい。

【0023】この後に、絶縁膜16とSOG層18の上に図示しない上側の配線を形成し、さらにその上に上記と同様にして絶縁膜(不図示)を形成する。以上のように配線13間に形成される絶縁膜16の内部に比誘電率が小さい空洞17を形成するようにしたので、配線容量が小さくなり、素子の高速動作の遅延が抑制される。また、配線13間に形成される絶縁膜16を平坦化するために形成されるダミーパターン14により配線容量が増えることになるが、そのダミーパターン14は配線13の延在方向に沿って小さく分割され、しかも、その分離されるダミーパターン14相互間にある絶縁膜16にも空洞17が存在するために、ダミーパターン14による容量の増加が抑制される。

【0024】また、多層配線構造において、斜め上下方向に配置される配線同士の間でも空洞が存在すると、多層配線構造の配線容量も低減する。

(第2実施例)上記した実施例では、半導体集積回路の一部の配線13をガードパターン15で囲む場合について説明したが、図3に示すように、半導体集積回路のチップ20の最外周にガードパターン15aを設置し、ガードパターン15aに囲まれた領域に配線13aを形成し、配線13aに挟まれる領域と配線13aとガードパターン15aの間に複数に分割されたダミーパターン14aを敷きつめるように形成してもよい。

【0025】これにより、配線13a同士の間、配線13aとダミーパターン14aの間に形成される絶縁膜には図1(b)、図2(b)と同じ空洞が形成され、その空洞の端部はガードパターン15aの内周に沿って形成される空洞によって閉じられるので、絶縁膜から露出することはなく、そのSOG層等が空洞に侵入することが防止される。

【0026】なお、図3に示すように平面形状がU字状の形成される配線13aであっても、この配線13aに囲まれる領域にダミーパターン14aを形成すると、その領域に形成される絶縁膜にも空洞が形成され、上側に形成される配線との間に形成される配線容量が低減する。

(その他の実施例)配線13、ダミーパターン14及びガードパターン15を覆う絶縁膜16は、アルゴン、窒

6

で形成してもよく、これにより形成された絶縁膜16内の空洞17には不活性ガスが充填される。絶縁膜16内の空洞17に不活性ガスが充填されると、配線13の側部で絶縁膜16が薄く形成されて空洞17内のガスが配線13に浸透することがあっても配線13が腐食するなどの劣化は防止される。

【0027】なお、配線13、ダミーパターン14及びガードパターン15を覆う絶縁膜16としては、酸化シリコン(SiO_2)の他に窒化酸化シリコン、窒化シリコン、フッ素含有シリコン酸化膜、PSGなどがある。

【0028】

【発明の効果】以上述べたように本発明によれば、配線に挟まれる領域にダミーパターンを形成し、配線とダミーパターンを絶縁膜で覆うとともに、その絶縁膜のうち配線とダミーパターンとの間に空洞を形成するようにしたので、配線間に存在する誘電体の誘電率は絶縁膜の空洞によって小さくなり、配線間に形成される配線容量が低減され、これにより配線に接続される素子の動作速度の低下を抑制できる。

【0029】また、配線とダミーパターンが形成される領域を同層のガードパターンによって囲むことにより、ガードパターンを覆う絶縁膜によって、配線とダミーパターンの間の絶縁膜内に形成される空洞の露出を防止できる。この結果、配線を覆う絶縁膜の上にSOG等の平坦化絶縁膜を形成する際に、SOGがその空洞に入り込むことがなくなり、空洞を確実に形成できる。

【0030】また、その空洞内に不活性ガスを充填すると、空洞内のガスが絶縁膜を透過して配線に触れた場合に、配線の劣化を防止できる。

【図面の簡単な説明】

【図1】図1(a)は本発明の第1実施例を示す半導体装置の配線パターンを示す平面図で、図1(b)はその配線パターンの上に層間絶縁膜が形成された状態のZ-Z線断面図である。

【図2】図2(a)～(c)は、本発明の第1実施例の半導体装置の配線を覆う層間絶縁膜の形成工程を示す断面図で、図2(a)は図1のY-Y線断面図である。

【図3】図3は、本発明の第2実施例の半導体装置の配線パターン、ダミーパターンをチップの最外周で囲むガードパターンを示す平面図である。

【図4】図4(a)は従来の半導体装置の配線パターンと層間絶縁膜を示す平面図、図4(b)は図4(a)のX-X線断面図である。

【符号の説明】

- 11 半導体基板
- 12 下地絶縁膜
- 13 配線
- 14 ダミーパターン
- 15 ガードパターン

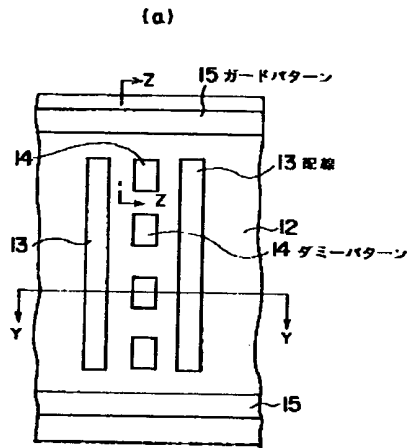
17 空洞

7

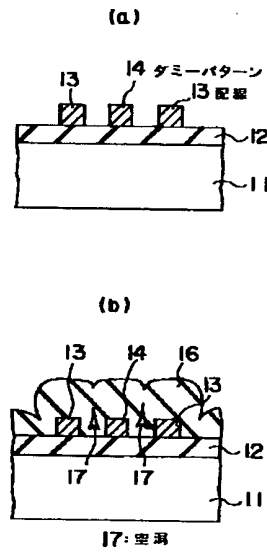
18 SOG層 (平坦化絶縁膜)

8

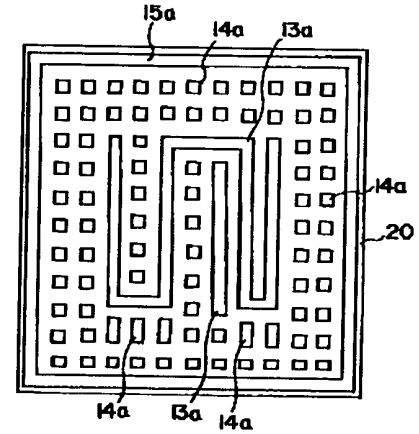
【図1】



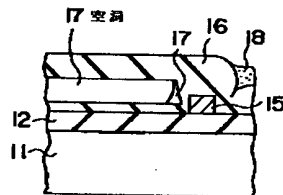
【図2】



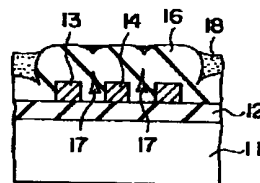
【図3】



(b)

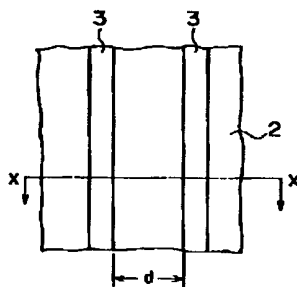


(c)



【図4】

(a)



(b)

